

(19) Japan Patent Office (JP)  
 (12) KOKAI TOKKYO KOHO (A)  
 (11) Laid-open Application Number: Showa 63-198365  
 (43) Publication Date: August 17, 1988

(51) Int. Cl. <sup>4</sup>	Id. Symbol	Office Ref. No.
H 01 L 27/04		7514-5F
H 01 L 27/12		7514-5F
H 01 L 27/15		7733-5F
H 01 L 29/20		8526-5F
H 01 L 29/80		8122-5F

Examination Request: None

No. of Claims: 1 (total pages 5)

---

(54) [Title of the Invention] SEMICONDUCTOR APPARATUS

(21) Application No.: Showa 62-32111

(22) Application Filed: February 13, 1987

(72) Inventor: B. Atsutama  
 Address: 22-22, Nagaike-cho, Abeno, Osaka-shi, Osaka-fu  
 c/o Sharp Corp.

(72) Inventor: S. Shinozaki  
 Address: 22-22, Nagaike-cho, Abeno, Osaka-shi, Osaka-fu  
 c/o Sharp Corp.

(72) Inventor: Ts. Doi  
 Address: 22-22, Nagaike-cho, Abeno, Osaka-shi, Osaka-fu  
 c/o Sharp Corp.

(72) Inventor: R. Kakihara  
 Address: 22-22, Nagaike-cho, Abeno, Osaka-shi, Osaka-fu  
 c/o Sharp Corp.

(71) Applicant: Sharp Corp.  
 Address: 22-22, Nagaike-cho, Abeno, Osaka-shi, Osaka-fu

(74) Patent Representative. Patent Attorney: K. Sugiyama (and one more representative)

### Specification

#### 1. Title of the Invention

SEMICONDUCTOR APPARATUS

#### 2. Patent Claims

(1) A semiconductor apparatus comprising  
 a silicon substrate,

a single-crystal insulating film formed on said silicon substrate,  
a silicon semiconductor layer and a compound semiconductor layer formed in  
respective preset positions on said single-crystal insulating film, and  
an intrinsic semiconductor circuit and element enclosed in said silicon  
semiconductor layer and compound semiconductor layer, respectively.

(2) The semiconductor apparatus as described in Claim 1, wherein said single-crystal insulating film is an oxide single-crystal stabilized zirconia thin film obtained by adding 6-13 mol% stabilizing agent such as yttrium oxide ( $Y_2O_3$ ), ytterbium oxide ( $Yb_2O_3$ ), samarium oxide ( $Sm_2O_3$ ), gadolinium oxide ( $Gd_2O_3$ ), scandium oxide ( $Sc_2O_3$ ), calcium oxide ( $CaO$ ) and the like to zirconium oxide ( $ZrO_2$ ).

### 3. Detailed Description of the Invention

#### <Field of Technology>

The present invention relates to a semiconductor apparatus in which various semiconductor devices are formed in the same substrate and the same chip.

#### <Prior Art Technology>

In recent years, remarkable progress has been achieved in the field of semiconductor technology, and R&D focused on high-performance semiconductor devices have been conducted. However, a majority of the devices have been fabricated from the same material. For example, silicon (Si) semiconductors are used in photosensitive elements, memory devices, operational circuits, unit elements and the like. Examples of devices using compound semiconductors such as gallium arsenide (GaAs) include photosensitive elements, lasers, memory devices, high-frequency devices and the like. However the higher is the level of the information to be handled, the greater is the demand for multifunctional devices.

#### <Problems Addressed by the Invention>

Si semiconductors have a very small field of application for multifunctional devices because their band gap is narrow which makes it impossible to use them for light-emitting devices. Furthermore, their high-frequency properties are limited. On the other hand, the number of defects in GaAs semiconductor materials is higher than that in Si and the substrate cost is high. For this reason, though they have found application for discrete unit devices, in LSI they are used only in some of high-frequency circuits.

The present invention was created to resolve these problems, and its object is to provide a semiconductor apparatus in which a Si semiconductor layer and a GaAs semiconductor layer are incorporated in the same substrate in the same chip and which makes it possible to obtain a multifunctional device that may be composed of circuits in which the specific features of respective semiconductor layers have been realized.

#### <Means to Resolve the Problems>

In the semiconductor apparatus in accordance with the present invention, in order to attain this object, a silicon (Si) semiconductor layer and a compound semiconductor layer such as gallium arsenide (GaAs) or indium phosphide (InP) are formed on a single-crystal insulating film, such as oxide single-crystal stabilized zirconia thin film, formed on the silicon (Si) substrate, and these semiconductor layers are composed so that the respective intrinsic semiconductor circuits and elements are incorporated in the same substrate and the same chip.

The semiconductor apparatus in accordance with the present invention having the above-described structure can be fabricated, for example, in the following manner.

First, a single-crystal thin film of stabilized zirconia containing a rare earth oxide such as yttria as a stabilizing agent is coated on the whole surface of a Si substrate. Then, heat treatment is conducted under oxygen atmosphere to form an yttria-stabilized zirconia (YSZ)/SiO<sub>2</sub>/Si structure. Si is then epitaxially grown on these insulating substrates, and devices such as memories and driving circuits consisting of CMOS and bipolar transistors are fabricated in the preset positions. The unnecessary portion of the Si epitaxial layer is removed, and GaAs is epitaxially grown therein. In this GaAs epitaxial layer, devices such as LED, laser, high-frequency IC and the like are fabricated, various semiconductor devices are formed on the same substrate and the same chip, and a multifunctional semiconductor apparatus is obtained.

#### <Operation>

In the structure of the semiconductor substrate in accordance with the present invention, the entire surface of the Si substrate is covered with an oxide single-crystal stabilized zirconia film and various semiconductor layers such as Si semiconductor layer and compound semiconductor layer, e.g., GaAs, are formed thereon in the same substrate. Therefore, devices such as memories and driving circuits consisting of CMOS and bipolar transistors can be incorporated in the Si semiconductor layer, and LED, laser, high-frequency IC and the like can be fabricated in the compound semiconductor layer, e.g., GaAs. Therefore, a plurality of functions can be freely incorporated in one chip.

#### <Embodiment>

An embodiment of the semiconductor apparatus in accordance with the present invention will be explained below, together with the method for fabrication thereof, with reference to the drawings attached. To simplify the explanation, a semiconductor apparatus will be considered in which a MOSFET is incorporated in a GaAs semiconductor layer and Bi-CMOS is incorporated in a Si semiconductor layer, as shown in Fig 1. In Fig 1, the reference symbol 1 stands for a silicon (Si) substrate, 2 – oxide single-crystal stabilized zirconia film (single-crystal insulating layer), 3 - insulating layer, 5 - single-crystal insulating layer, D1 and D3 – bipolar elements formed in the Si semiconductor layer, D1 – a CMOS element formed in the Si semiconductor layer, D4 – a GaAs MESFET formed in the GaAs semiconductor layer.

The process for the fabrication of the above-described structure shown in Fig 1 will be described below with reference to Figs 2(a) to (j). First, as shown in Fig 2(a), a

film 2 of oxide single-crystal stabilized zirconia film (for example,  $(\text{ZrO}_2)_{0.9}(\text{Y}_2\text{O}_3)_{0.1}$ ) is formed on a silicon single-crystal substrate by sputtering, MOCVD, ALE, ICB, ion plating and the like to a thickness of about 0.2-1  $\mu\text{m}$ . Then heat treatment is conducted at a temperature of about 1000°C in an oxidizing atmosphere to form a  $\text{SiO}_2$  layer 3 having a thickness of about 0.1-0.5  $\mu\text{m}$  on the interface between the film and substrate. A silicon  $n^+$  semiconductor layer 4 is epitaxially grown to a film thickness of about 0.3-1  $\mu\text{m}$  by CVD or the like by mixing monosilane ( $\text{SiH}_4$ ) with phosphine ( $\text{PH}_3$ ) or arsine ( $\text{AsH}_3$ ). Further, the oxide single-crystal stabilized zirconia film 5 is formed thereon by the same method as described above.

Then, as shown in Fig 2(b), etching is conducted according to the preset pattern and lead-out openings 5a, 5b for a collector electrode 24 and a growth layer 23 for bipolar transistor shown in Fig 2(c) described below are formed in the stabilized zirconia layer 5. Then, a silicon layer (n layer 6) is formed thereon with an epitaxial device in the same manner as described above by changing the amount of phosphine and arsine. The surface of the silicon layer 6 is then heated and oxidized and a gate oxide film 11 for a CMOS transistor is formed.

Then, as shown in Fig 2(c), a p layer 21 and  $n^+$  layer 23 of a bipolar transistor are formed in a proper sequence by ion implantation according to a preset pattern. High-concentration boron implantation into the base electrode ( $p^+$ ) layer 22 and ion implantation into n layer 12 and p layer 16 of PMOS and NMOS are then conducted. Then, a  $p^+$  layers 13, 14 and  $n^+$  layers 17, 18 corresponding to source and drain of MOS transistor are formed. Finally, As is ion implanted into a collector electrode 24 to a high concentration.

Further, as shown in Fig 2(d), an isolation hole 7a is formed in the base electrode 28. Isolation holes 7b, 7c, 7d between the elements are formed between bipolar transistors 21, 23 and PMOS 12, 13, between PMOS 12, 14 and NMOS 16, 17, and between NMOS 16, 18 and collector electrode 24 of the bipolar transistor. These holes reach the stabilized zirconia layer 5. Furthermore, isolation holes 7e, 7f isolating the entire device are formed at both ends so that they reach the stabilized zirconia layer 2. As shown in Fig 2(e), a  $\text{SiO}_2$  film is then coated over the entire surface, and this surface is made flat by using the flattening technique.

Then, as shown in Fig 2(f), the unnecessary portion of the Si semiconductor layer is completely etched by RIE till the stabilized zirconia layer 2 is reached, and undoped-GaAs layer 31, n-GaAs layer 32 are sequentially epitaxially grown to a film thickness of about 0.3-1.0  $\mu\text{m}$  at a growth temperature 600-700°C by MOSVD, ALE, MBE or the like. Then, an insulating film 33 for a spacer of MESFET in the GaAs layer is formed, patterning is conducted, Au/Ni/AuGe metals are deposited, lift-off is conducted, alloying is performed, and ohmic contacts 34, 35 and underlying  $n^+$  layers 36, 37 are formed (see Fig 2(g)). A recess etching is then conducted with an  $\text{H}_3\text{PO}_4 + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$  etching solution, as shown in Fig 2(h). Then, a Au/Pt/Ti gate electrode 38 is formed and passivation with an insulating film is conducted (Fig 2(i)).

Finally, contact holes of CMOS and bipolar transistor in the Si layers are etched by RIE and metal, e.g., Al, electrodes 15, 19, 25 are formed. This process completes the production of the semiconductor apparatus (Fig 2(j)).

The above-described fabrication of the semiconductor apparatus makes it possible to combine a bipolar transistor, a CMOS transistor, and a GaAs MESFET inside the same

semiconductor apparatus. Thus, various semiconductor devices can be formed on the same chip, and devices with respective characteristics can be provided with complex functions. Moreover, since all element groups are mutually independent and the elements are completely isolated from each other by an isolating film, there is no parasitic capacitance and the circuit can be driven at a higher speed.

In the above-described embodiment, a stabilized zirconia film prepared by adding yttrium oxide ( $Y_2O_3$ ) to zirconium oxide ( $ZrO_2$ ) was used as the insulating single-crystal layer. The present invention is, however, not limited to this embodiment. For example, stabilized zirconia thin film obtained by adding 6-13 mol% stabilizing agent such as ytterbium oxide ( $Yb_2O_3$ ), samarium oxide ( $Sm_2O_3$ ), gadolinium oxide ( $Gd_2O_3$ ), scandium oxide ( $Sc_2O_3$ ), calcium oxide ( $CaO$ ) and the like to zirconium oxide ( $ZrO_2$ ) can also be used. Furthermore, in addition to stabilized zirconia film, a spinel film, a sapphire film or other crystalline insulators can also be used as the insulating single crystal layer. Moreover, it goes without saying that the present invention is also applicable to combinations of a Si semiconductor layer and other compound semiconductor layers such as InP semiconductor layers.

#### <Effect of the Invention>

The present invention makes it possible to incorporate elements and semiconductor circuits realizing respective intrinsic characteristics of a Si semiconductor layer and a compound semiconductor layer such as GaAs or InP layer inside the same semiconductor, and to make a semiconductor apparatus more complex and multifunctional. Moreover, since all the element groups are mutually insulated and complete separation between the elements is provided by an insulating film, an ultrahigh-speed drive can be conducted.

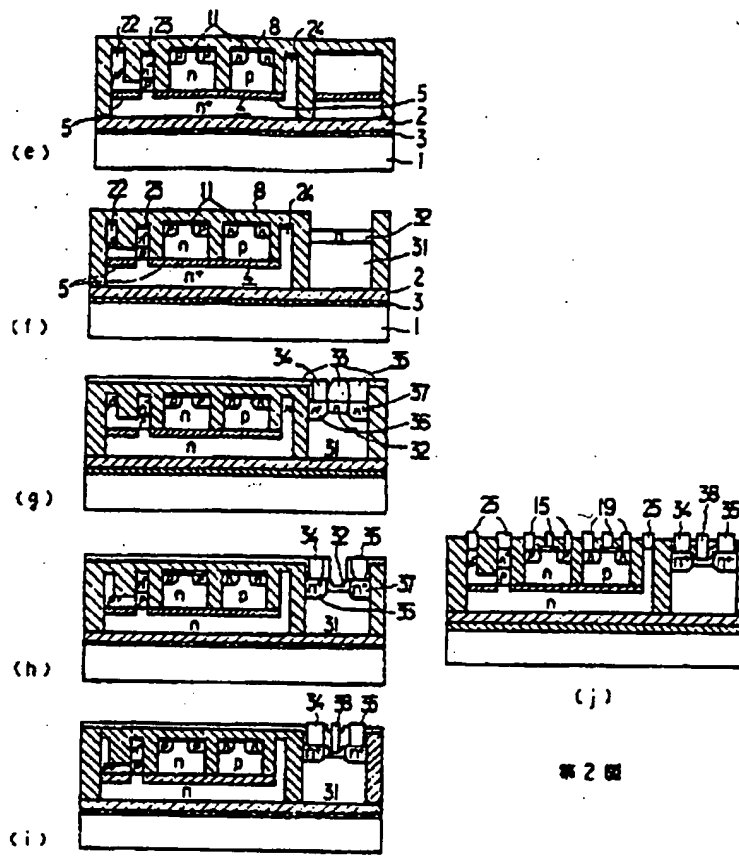
#### 4. Brief Description of the Drawings

Fig 1 is a schematic cross sectional view illustrating the structure of the apparatus which is an embodiment of the present invention. Figs 2(a)-(j) are schematic cross sectional views illustrating sequentially the process for the manufacture of the apparatus shown in Fig 1.

1 – substrate; 2 – single-crystal insulator layer; 3 – amorphous insulator layer; 4 – epitaxial layer; 5 – amorphous insulator layer; 6 – epitaxial layer; 7a~7f – holes; 8 – insulator layer; 11 – gate insulating film; 12 – gate layer (PMOS); 13 – source layer (PMOS); 14 – drain layer (PMOS); 15 – electrode (PMOS); 16 – gate layer (NMOS); 17 – source layer (PMOS); 14 – drain layer (PMOS); 15 – electrode (PMOS); 16 – gate layer (NMOS); 17 – source layer (NMOS); 18 – drain layer (NMOS); 19 – electrode (NMOS); 21, 22 – base layer; 23 – emitter layer; 24 – collector layer; 25 – electrode (bipolar transistor); 31 – semiinsulating compound semiconductor layer; 34, 35 – ohmic electrode; 36 – source layer (MESFET); 37 – drain layer (MESFET); 38 – gate electrode; D1, D3 – bipolar element; D2 – CMOS element; D4 – GaAs MESFET element.

Patent Representative. Patent Attorney: K. Sugiyama (and one more representative)

Fig 2



第 2 圖

Fig 2

## ⑫ 公開特許公報(A)

昭63-198365

⑤ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)8月17日

H 01 L 27/04  
27/12  
27/15  
29/20  
29/807514-5F  
7514-5F  
7733-5F  
8526-5F  
8122-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭62-32111

⑰ 出 願 昭62(1987)2月13日

⑱ 発 明 者 厚 主 文 弘 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑲ 発 明 者 篠 崎 敏 幸 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑳ 発 明 者 土 居 司 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

㉑ 発 明 者 柿 原 良 亘 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

㉒ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉓ 代 理 人 弁理士 杉山 毅 至 外1名

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

## 1. シリコン基板と、

該シリコン基板上に形成された単結晶絶縁薄膜と、

該単結晶絶縁薄膜上の所定位置にそれぞれ形成されたシリコン半導体層及び化合物半導体層と、

該シリコン半導体層内及び化合物半導体層内に夫々内蔵された固有の半導体回路及び素子と

を含んでなることを特徴とする半導体装置。

## 2. 前記単結晶絶縁薄膜は、酸化ジルコニウム

( $ZrO_2$ )中に酸化イットリウム( $Y_2O_3$ )、酸化イッテリビウム( $Yb_2O_3$ )、酸化サマリウム( $Sm_2O_3$ )、酸化ガドリニウム( $Gd_2O_3$ )、酸化スカンジウム( $Sc_2O_3$ )、酸化カルシウム( $CaO$ )等々の安定化剤を6~13mol%の範囲で添加して形成してなる酸化物単結晶安定

化ジルコニア薄膜で構成してなることを特徴とする特許請求の範囲第1項記載の半導体装置。

## 3. 発明の詳細な説明

## &lt;産業上の利用分野&gt;

本発明は異種の半導体デバイスが同一基板、同一チップ内に形成されてなる半導体装置に関するものである。

## &lt;従来の技術&gt;

近年、半導体技術の進展は目ざましいものがあり、更に高性能デバイスを目指した研究開発がなされている。しかしながら、それ等の半導体は同材料によって作られているものがほとんど多数を占めている。例えば、シリコン(Si)半導体では、受光素子、メモリ、演算回路、単体素子等々に利用されている。一方、ガリウムヒ素(GaAs)等の化合物半導体では、受光素子、レーザー、メモリ、高周波デバイスなどが挙げられる。しかし取り扱う情報が高度になればなる程半導体装置の多機能化が要求されてくる。

## &lt;発明が解決しようとする問題点&gt;



上記の多機能化の要求に対してSi半導体は、バンドギャップが狭いため、発光するデバイスに使用することが出来ず、又高周波特性では限界があって多機能化するにはその範囲が非常に狭い。一方、GaAsの半導体材料ではSi程欠陥が少なくならず、又基板が高価であるため、ディスクリートの単体デバイスは実用化されているが、LSIに関しては、高周波回路の一部が実用化しているにすぎない。

本発明は上記の点を鑑みて創案されたもので、同一基板及び同一チップ内にSi半導体層とGaAs半導体層が同居してなり、夫々の半導体層は自己の特徴を生かした回路が構成され得る多機能デバイスを可能とする半導体装置を提供することを目的としている。

#### <問題点を解決するための手段>

上記の目的を達成するため、本発明の半導体装置はシリコン(Si)基板上に形成された酸化物単結晶の安定化ジルコニア薄膜等の単結晶絶縁薄膜上にシリコン(Si)半導体層とガリウム・ヒ素(Ga

As)やインジウム(InP)等の化合物半導体層とを形成し、これらの各半導体層は同一基板、同一チップ内に夫々に固有の半導体回路及び素子を内蔵して成るように構成している。

このような構成の本発明の半導体装置は、その実施態様として例えば次のように作成される。

まず、Si基板全面にイットリア等の希土類酸化物を安定化剤として添加した安定化ジルコニアの単結晶薄膜を被覆し、酸素雰囲気下で熱処理を行ないイットリア安定化ジルコニア(YSZ)/ $\text{SiO}_2$ /Si構造を形成する。次にそれ等の絶縁基板上にSiをエピタキシャル成長させ、所定の位置にCMOS、バイポーラからなる駆動回路、メモリ等のデバイスを作製する。更にSiエピタキシャル層の不要部をエッチングにより取り去り、そこにGaAsをエピタキシャル成長させる。当該GaAsエピタキシャル層には発光ダイオード、レーザー、高周波IC等のデバイスが作製され同一基板、同一チップ上に異種の半導体デバイスが形成でき、多機能な半導体装置が得られる。

#### <作 用>

本発明に係る半導体基板の構造は、Si基板全面に酸化物単結晶の安定化ジルコニア膜で覆れており、更にその上にSi半導体層とGaAs等の化合物半導体層などの異種の半導体層が同一基板内に形成されている。従って、Si半導体層にはCMOS、バイポーラからなる駆動回路メモリなどのデバイスを内蔵させることが可能で、GaAs等の化合物半導体層では発光ダイオード、レーザー、高周波IC等が作製され得る。従って1チップ内に複数個の機能を果たせることが自由にできる様になる。

#### <実施例>

以下、添付の図面を用いて本発明に係る半導体装置の一実施例をその製作工程と共に説明するが説明を簡単にするため、半導体装置は、第1図に示すようにSi半導体層にはBi-CMOS、GaAs半導体層にはMESFETが内蔵されてなるものとする。なお第1図において、1はシリコン(Si)基板、2は酸化物単結晶の安定化ジルコニ

ア膜(単結晶絶縁体層)、3は絶縁体層、5は単結晶絶縁体層、D1及びD3はSi半導体層内に形成されたバイポーラ素子、D2はSi半導体層内に形成されたCMOS素子、D4はGaAs半導体層内に形成されたGaAsMESFETである。

次に、上記第1図に示した構造の製作工程を、第2図(a)乃至(j)にしたがって説明すると、まず第2図(a)に示すように、シリコン単結晶基板1の上に酸化物単結晶の安定化ジルコニア(たとえば $(\text{ZrO}_2)_{0.9}(\text{Y}_2\text{O}_3)_{0.1}$ )の膜2をスパッタ、MOCVD、ALE、ICB、イオンプレーティング法などにより $0.2-1\mu\text{m}$ 前後の膜厚で形成し、酸素雰囲気下約 $1000^\circ\text{C}$ の熱処理により両者の界面に $0.1-0.5\mu\text{m}$ 前後の $\text{SiO}_2$ 膜3を形成する。その上にシリコン $n^+$ 半導体層4をモノシラン( $\text{SiH}_4$ )にフォスフィン( $\text{PH}_3$ )やアルシン( $\text{AsH}_3$ )を混合させてCVD法等により $0.3-1\mu\text{m}$ 前後の膜厚にエピタキシャル成長させる。更にその上に酸化物単結晶の安定化ジルコニア膜5を前述と同様な方法で形成させる。

次に第2図(b)に示すように、所定のパターンに基づきエッチングを行ない、以下の第2図(c)に示すバイポーラトランジスタ用の成長層23とコレクタ電極24のための取出口5a, 5bを安定化ジルコニア膜5に開口する。そしてその上にシリコン層(n層)6をエピタキシャル装置によりフォスフィンやアルシンの量を変えて同様に形成させる。次に、シリコン層6の表面を加熱して酸化させ、CMOSTランジスタ用のゲート酸化膜11を作製する。

次に、第2図(c)に示すように、所定のパターンに基づいて、順序良く、バイポーラトランジスタのp層21, n<sup>+</sup>層23をイオン注入により形成する。次にベース電極(p<sup>+</sup>層)22へのボロン高濃度注入及びPMOSやNMOSのn層12, p層16へのイオン注入を行う。次に、MOSTランジスタのソースとドレインに当たるp<sup>+</sup>層13, 14とn<sup>+</sup>層17, 18を形成する。最後に、コレクタ電極24にAsを高濃度で注入させる。

次に、第2図(d)に示すように、ベース電極23

Au/Ni/AuGeの金属を蒸着し、リストオフ法を行ない、アロイ化を施し、オーミック電極34, 35とその下部にn<sup>+</sup>層36, 37を形成する。(第2図(g)参照)。次に、第2図(h)に示すようにH<sub>3</sub>PO<sub>4</sub>+H<sub>2</sub>O<sub>2</sub>+H<sub>2</sub>Oのエッチング液によりリセスエッチを行なう。次にAu/Pt/Tiのゲート電極38を形成し、絶縁膜でパッシベーションを行なう(第2図(i))。

最後に、Si層のバイポーラトランジスタ及びCMOSの各コンタクトホールをRIEによりエッチングした後Au等の金属電極15, 19, 25を形成する。こうして本半導体装置の製作は完了する。(第2図(j))

以上の様に半導体装置を作製することによって同一半導体装置内部にバイポーラトランジスタとCMOSTランジスタと~~CMOSTランジスタと~~GaAsMESFETとを組み込むことが可能になる。すなわち同一チップ上に異種の半導体デバイスが形成でき、夫々の特徴を生かしたデバイスの複合機能化が可能となる。しかも、すべての素

子間にアイソレーション穴7aをあける。また素子間のアイソレーション穴7b, 7c, 7dを夫々バイポーラトランジスタ21, 23とPMOS12, 13との間、~~PMOS12, 14~~とNMOS16, 17との間及びNMOS16, 18とバイポーラトランジスタのコレクタ電極24との間に安定化ジルコニア膜5にまであける。さらに、装置全体を分離するアイソレーション穴7e, 7fを両端に安定化ジルコニア膜2にまであける。そして、第2図(e)に示す様に、その上にSiO<sub>2</sub>膜8を全面に被覆し、その表面を平坦化技術を用いて平坦にする。

次に、第2図(f)に示すようにSi半導体層の不要部分をRIEにより、安定化ジルコニア膜2まで全部エッチングし、undoped-GaAs層31, n-GaAs層32をMOCVD, ALE, MBE法等により、成長温度600~700℃で0.3~1.0μm前後の膜厚に順次エピタキシャル成長させる。次にGaAs層のMESFETのスペーサ用の絶縁膜83を形成、パターニングした後、

子群が互いに独立し、絶縁膜で完全に素子間の分離が図られているため、寄生容量もなく、超高速化の駆動を行うことが出来る。

上記の実施例は絶縁体単結晶層に関しては、安定化ジルコニア膜として、酸化ジルコニウム(ZrO<sub>2</sub>)中に酸化イットリウム(Y<sub>2</sub>O<sub>3</sub>)を添加して形成したものを用いているが、本発明はこれに限定されるものではなく、例えば酸化ジルコニウム(ZrO<sub>2</sub>)中に酸化イットリビウム(Yb<sub>2</sub>O<sub>3</sub>)、酸化サマリウム(Sm<sub>2</sub>O<sub>3</sub>)、酸化ガドリニウム(Gd<sub>2</sub>O<sub>3</sub>)、酸化スカンジウム(Sc<sub>2</sub>O<sub>3</sub>)、酸化カルシウム(CaO)を6~13mol%の範囲で添加して形成したものを用いても良く、更に絶縁体単結晶層として安定化ジルコニア膜以外にスピネル膜、サファイア膜やその他の結晶性絶縁物をも用いることが出来る。また、本発明はSi半導体層とInP半導体層等の他の化合物半導体層との組み合わせに関しても適用できることは言うまでもない。

<発明の効果>

本発明は、同一半導体内部にSi半導体層とGaAsやInP等の化合物半導体層とが夫々に固有の特徴を生かした半導体回路及び素子を内蔵してなり、半導体装置の複合化、多機能化が可能となる。しかも、すべての素子群が互に独立し絶縁膜で完全に素子間の分離が図られているため超高速の駆動を行なうことが出来る。

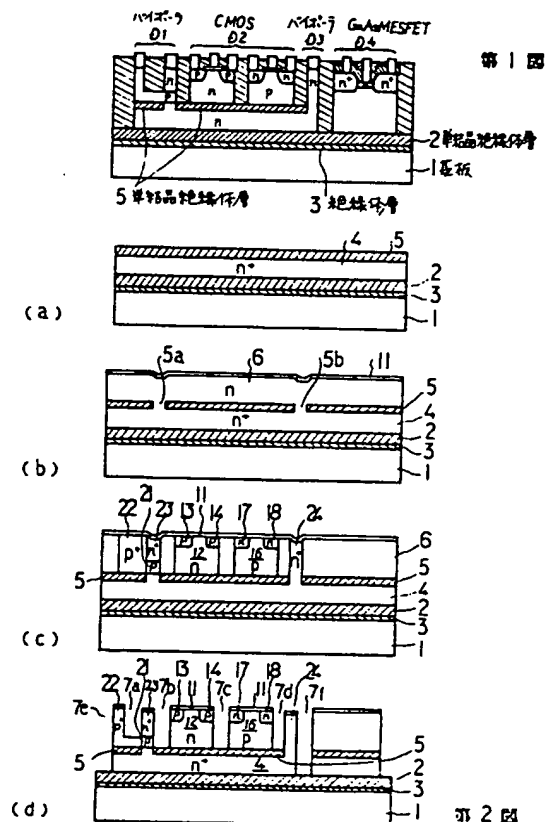
#### 4. 図面の簡単な説明

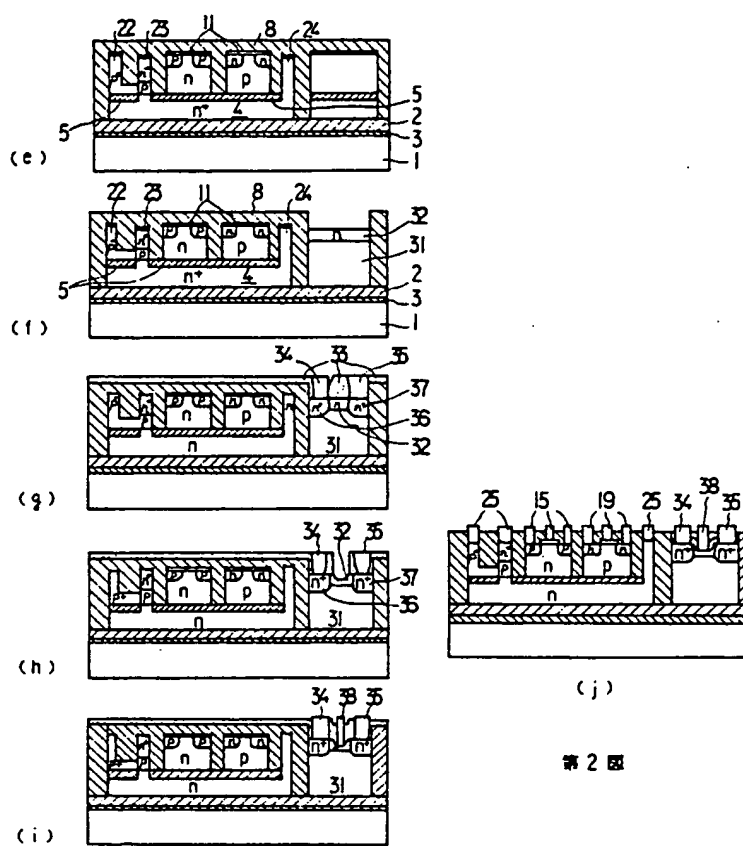
第1図は本発明の一実施例装置の構造を示す図式的な断面図、第2図(a)乃至(j)はそれぞれ第1図に示した実施例装置の製作工程を順次示す図式的な断面図である。

1…基板、2…単結晶絶縁体層、3…非晶質絶縁体層、4…エピタキシャル層、5…単結晶絶縁体層、6…エピタキシャル層、7a～7f…穴、8…絶縁体層、11…ゲート絶縁膜、12…ゲート層(PMOS)、13…ソース層(PMOS)、14…ドレイン層(PMOS)、15…電極(PMOS)、16…ゲート層(NMOS)、17…ソース層(NMOS)、18…ドレイン層(NMOS)、

19…電極(NMOS)、21、22…ベース層、23…エミッタ層、24…コレクタ層、25…電極(バイポーラトランジスタ)、31…半絶縁性化合物半導体層、32…ゲート層(MESFET)、33…絶縁体層、34、35…オーミック性電極、36…ソース層(MESFET)、37…ドレイン層(MESFET)、38…ゲート電極、D1、D3…バイポーラ素子、D2…CMOS素子、D4…GaAs MESFET素子。

代理人 弁理士 杉 山 設 至(他1名)





第2図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**